

N

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-101982

(43)Date of publication of application : 15.04.1997

(51)Int.Cl.

G06F 17/50
H01L 21/82

(21)Application number : 07-284617

(71)Applicant : NEW JAPAN RADIO CO LTD

(22)Date of filing : 05.10.1995

(72)Inventor : KATSU MITSUNORI

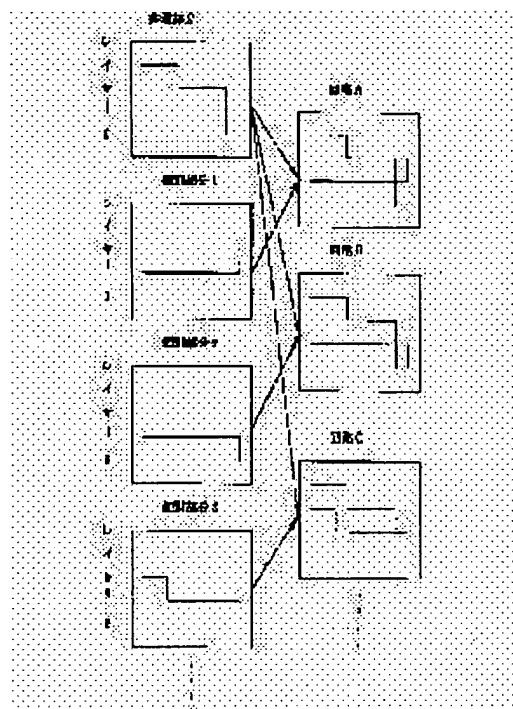
(54) CAD SYSTEM FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To save labor by estimating virtual layers inside a memory even on the stage of design similarly to the conception of multilayer wiring of a semiconductor integrated circuit, preparing and managing these layers while decomposing a common section onto a layer '0' and individual sections onto the other layers.

SOLUTION: The common section of the circuit is visibly displayed as a circuit diagram on the virtual layer '0' estimated inside the memory, and circuit configuration information is prepared and managed. Besides, individual sections 1, 2 and 3 are visibly displayed as circuit diagrams on virtual layers '1', '2' and '3' and circuit configuration information is prepared and managed.

When displaying the circuit diagram of a circuit A, the selecting command of the individual section 1 is issued to a computer. The computer reads the configuration information of the common section and the individual section out of the memory, merges both the sections, makes them visible, prepares the circuit diagram of the circuit A and displays it. Similarly, the common section and the selected individual section 2 or 3 are merged, and the circuit diagram of a circuit B or C is prepared and displayed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the CAD system used for the design of a semiconductor integrated circuit.

[0002]

[Description of the Prior Art] In the CAD system used for the design of a semi-conductor logic integration circuit, two or more similar products with which circuitry differs little by little are sometimes plentifully developed by adding parts for two or more mutually different local area to the intersection of a circuit. In the conventional CAD system, when designing such two or more similar circuits, the circuit is created and managed about each.

[0003]

[Problem(s) to be Solved by the Invention] In the above-mentioned conventional CAD system, since the circuit is created and managed about each in case two or more similar circuits are designed, there are the following problems.

1. Since many circuits must be created and managed, an effort and memory space increase.
2. There is a possibility of collating a different circuit which chose each circuit accidentally on the occasion of the verification activity collated with the mask layout of correspondence etc.
3. There is a possibility of destroying data, by changing accidentally the intersection decided when changing a part for the local area of a circuit.

[0004]

[Means for Solving the Problem] The CAD system of the semiconductor integrated circuit concerning this invention A means to create and manage the intersection of a circuit on a common layer, and a means to create and manage two or more each for a local area of a circuit on the layer according to two or more individuals, 1 ** for two or more local area under management on the layer according to said two or more individuals was chosen, the intersection under management on said common layer was merged, and it visualized, and it displayed as a circuit diagram and has a means to output.

[0005]

[Embodiment of the Invention] the concept of the multilayer interconnection in the physical structure of a semiconductor integrated circuit -- the same -- the phase of a design -- also setting -- an imagination layer (layer) -- assuming -- the intersection of a circuit -- a layer 0 top -- two or more parts for a local area -- respectively -- layers 1, 2, and 3 ... a top -- ** -- it decomposes into the condition to say, and creates and manages. The line type from which it differs for drawing, such as a different foreground color, and a continuous line, a dotted line, is assigned to each layer.

[0006]

[Example] Drawing 4 is the block diagram showing the CAD structure of a system of the semiconductor integrated circuit concerning one example of this invention, and, as for the computer by which 1 performs creation and display / plot out processing of a circuit, the memory in which 2 is stored where a circuit [finishing / creation] is divided into a part for an intersection and a local area, CRT which 3

visualizes under creation and a circuit [finishing / creation], and is displayed as a circuit diagram, and 4, a mouse and 5 are plotters.

[0007] As shown in drawing 1, the circuitry information which consists of the information about wiring for visualizing the intersection of a circuit on the imagination layer 0 assumed in memory 2, displaying as a circuit diagram or carrying out plot out or a component is created and managed. moreover, the imagination layers 1, 2, and 3 ... a top -- parts for the local area 1, 2, and 3 of a circuit -- the circuitry information for visualizing ..., displaying as a circuit diagram or carrying out plot out is created and managed.

[0008] When the circuit diagram of Circuit A is displayed on CRT3 or carries out plot out to a plotter 5, the selection command for a local area 1 is emitted from a mouse 4 to a computer 1. By merging read-out and both and visualizing the intersection under storing in memory 2, and the configuration information for the selected local area 1, a computer 1 creates the circuit diagram of Circuit A, and this is displayed on CRT3 or it carries out plot out to a plotter 5. Similarly, by merging and visualizing a part for the local area 2 chosen with read-out and an intersection in a part for a local area 2 and the circuitry information on 3 which were chosen under storing in memory 2, and 3, a computer 1 creates the circuit diagram of Circuit B and Circuit C, and it displays on CRT3 or it carries out plot out to a plotter 5.

[0009] Next, the contents of processing at the time of the new design by the computer 1 are explained with reference to the flow chart of drawing 2. if the activation is started by selection in new design mode, the name of the intersection of a circuit, for example, "TEST", will input first -- having (step 21) - then, the layer numbers 0, 1, 2, and 3 ... is specified (step 22). for example, as mentioned above, if the new candidate for a design is an intersection, the layer number 0 will specify -- having -- the candidate for a design -- parts for a local area 1, 2, and 3 -- if it is ... the layer numbers 1, 2, and 3 ... is specified. Then, the foreground color and pilot-wire kind which are used with each layer are specified (step 23).

[0010] In following step 24 thru/or 27, the same circuit design as usual is performed. That is, each of a wiring number, the starting point of this wiring, a relay point, and a terminal point is specified by the coordinate (X, Y) so that it may illustrate about the case of wiring. (Steps 24, 25, 26, and 27). If wiring processing of a top Norikazu ream is repeated about all wiring included in a part for the intersection for a design, or a local area and termination of the processing about the last wiring is judged at step 28, new design processing will be ended. In fact, an array, connection, etc. of a logical element are performed in parallel to the above-mentioned wiring processing.

[0011] Next, the contents of processing at the time of the plot out by the computer 1 are explained with reference to the flow chart of drawing 3. If activation of the specified plot out is started, first, in the name of the intersection of the circuit which is going to carry out plot out, and this example, "TEST" will be inputted (step 31), then a layer number "1", for example, the number which specifies a layer 1, will be inputted (step 32). Next, the name of this circuit, for example, "TEST-A", is inputted (step 33).

[0012] Finally an execute command is inputted (step 34). By merging read-out and both and visualizing the intersection under storing in memory 2, and the configuration information for the selected local area 1, a computer 1 creates the circuit diagram of Circuit A, and carries out plot out of this to a plotter 5. If termination of actuation of a plotter 5 is judged (step 35), all processings will end a computer 1.

[0013]

[Effect of the Invention] As explained to the detail above, the CAD system of this invention Also in the phase of a design, an imagination layer (layer) is assumed in memory like the concept of the multilayer interconnection in the physical structure of a semiconductor integrated circuit. an intersection -- a layer 0 top -- a part for a local area -- respectively -- layers 1, 2, and 3 ... a top -- ** -- since it is the configuration which decomposes into the condition to say, and is created and managed, overlap, it becomes unnecessary to create and manage an intersection, and an effort and memory space are reduced.

[0014] Moreover, the CAD system of this invention stops easily also being able to produce destruction of the data based on changing accidentally the common circuit part decided when changing the circuit part according to individual while being hard coming to generate an error in selection of the circuit of the correspondence which should be collated with mask layout etc., since it is the configuration of

decomposing, and creating and managing a part for an intersection and a local area. If the especially different foreground color and especially different line type for every layer are used, such an error can be prevented much more effectively.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A means to create and manage the intersection of a semiconductor integrated circuit on a common layer, A means to create and manage two or more each for a local area of a semiconductor integrated circuit on each of the layer according to two or more individuals, The CAD system of the semiconductor integrated circuit characterized by having chosen said one [two or more] for a local area in management on the layer according to said two or more individuals, having merged the intersection under management on said common layer, having visualized, having displayed as a circuit diagram, and having a means to output.

[Claim 2] claim 1 -- setting -- said two or more layers -- respectively -- ** -- the CAD system of the semiconductor integrated circuit which is alike and is characterized by the class of line for a different foreground color and drawing being selectable.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-101982

(43)公開日 平成9年(1997)4月15日

(51)IntCl ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50			G 0 6 F 15/60	6 5 8 H
H 0 1 L 21/82				6 6 0 Z
			H 0 1 L 21/82	C

審査請求 未請求 請求項の数2 F D (全 5 頁)

(21)出願番号 特願平7-284617

(22)出願日 平成7年(1995)10月5日

(71)出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72)発明者 勝 満徳

東京都豊島区西池袋1丁目17番10号 株式
会社エヌ・ジェイ・アールセミコンダクタ
内

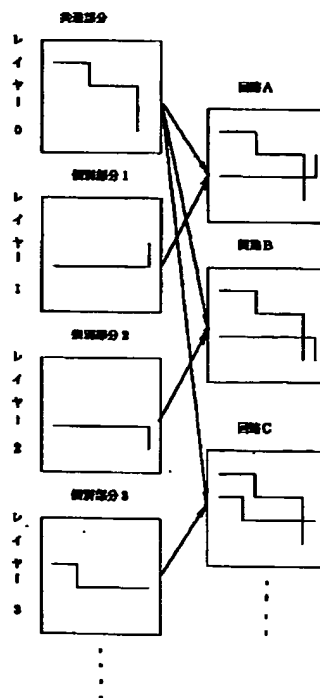
(74)代理人 弁理士 櫻井 俊彦

(54)【発明の名称】 半導体集積回路のCADシステム

(57)【要約】

〔課題〕 複数の類似の回路を作成して管理するのに適した半導体集積回路のCADシステムを提供する。

〔解決手段〕 設計対象の半導体集積回路の共通部分を共通のレイヤー上に作成して管理する手段と、複数の個別部分のそれぞれを複数の個別のレイヤーのそれぞれの上に作成して管理する手段と、管理中の複数の個別部分の一つを選択し、共通部分と併合して可視化し、回路図として表示し、出力する手段とを備える。



【特許請求の範囲】

【請求項1】半導体集積回路の共通部分を共通のレイヤー上に作成して管理する手段と、

半導体集積回路の複数の個別部分のそれぞれを複数の個別のレイヤーのそれぞれの上に作成して管理する手段と、

前記複数の個別のレイヤー上に管理中の前記複数の個別部分の一つを選択し、前記共通のレイヤー上に管理中の共通部分と併合して可視化し、回路図として表示し、出力する手段とを備えたことを特徴とする半導体集積回路のCADシステム。

【請求項2】 請求項1において、前記複数のレイヤーのそれぞれごとに異なる表示色、描画のための線の種類が選択可能であることを特徴とする半導体集積回路のCADシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の設計に利用されるCADシステムに関するものである。

【0002】

【従来の技術】半導体論理集積回路の設計に利用されるCADシステムでは、回路の共通部分に複数の互いに異なる個別部分を追加することによって回路構成が少しずつ異なる複数の類似の製品を開発することが多々ある。従来のCADシステムでは、このような複数の類似の回路を設計する場合、それぞれについて回路を作成し管理している。

【0003】

【発明が解決しようとする課題】上記従来のCADシステムでは、複数の類似の回路を設計する際にそれぞれについて回路を作成し管理しているので、次のような問題がある。

1. 多数の回路を作成し管理しなければならないので労力とメモリ容量がかさむ。

2. 各回路を対応のマスキレイアウトなどと照合する検証作業の際に誤って選択した異なる回路を照合してしまうおそれがある。

3. 回路の個別部分を変更する際に確定した共通部分を誤って変更してしまうことによりデータを破壊してしまうおそれがある。

【0004】

【課題を解決するための手段】本発明に係わる半導体集積回路のCADシステムは、回路の共通部分を共通のレイヤー上に作成し管理する手段と、回路の複数の個別部分のそれぞれを複数の個別のレイヤー上に作成し管理する手段と、前記複数の個別のレイヤー上に管理中の複数の個別部分の一つを選択し前記共通のレイヤー上に管理中の共通部分と併合して可視化し、回路図として表示し、出力する手段とを備えている。

【0005】

【発明の実施の形態】半導体集積回路の物理的な構造における多層配線概念と同様に、設計の段階においても仮想的な層（レイヤー）を想定し、回路の共通部分はレイヤー0上に、複数の個別部分はそれぞれレイヤー1, 2, 3・・・上という具合に、分解して作成し管理する。各レイヤーには、異なる表示色や、実線、点線など描画のための異なる線種などが割り当てられる。

【0006】

【実施例】図4は、本発明の一実施例に係わる半導体集積回路のCADシステムの構成を示すブロック図であり、1は回路の作成・表示・プロットアウト処理を実行するコンピュータ、2は作成済の回路が共通部分と個別部分とに分離された状態で格納されるメモリ、3は作成中や作成済みの回路を可視化し回路図として表示するCRT、4はマウス、5はプロッタである。

【0007】図1に示すように、メモリ2内に想定された仮想的なレイヤー0上には回路の共通部分を可視化し回路図として表示したり、プロットアウトしたりするための配線や素子に関する情報から成る回路構成情報が作成され、管理される。また、仮想的なレイヤー1, 2, 3・・・上には回路の個別部分1, 2, 3・・・を可視化し回路図として表示したり、プロットアウトしたりするための回路構成情報が作成され、管理される。

【0008】回路Aの回路図をCRT3上に表示したり、プロッタ5にプロットアウトしたりする場合、マウス4からコンピュータ1に対して個別部分1の選択指令が発せられる。コンピュータ1は、メモリ2に格納中の共通部分と選択された個別部分1の構成情報とを讀出し、両者を併合して可視化することにより回路Aの回路図を作成し、これをCRT3上に表示したりプロッタ5にプロットアウトしたりする。同様に、コンピュータ1は、メモリ2に格納中の選択された個別部分2や3の回路構成情報とを讀出し、共通部分と選択された個別部分2や3とを併合して可視化することにより回路Bや回路Cの回路図を作成し、CRT3上に表示したりプロッタ5にプロットアウトしたりする。

【0009】次に、コンピュータ1による新規設計時の処理内容を図2のフローチャートを参照して説明する。新規設計モードの選択によってその実行が開始されると、まず、回路の共通部分の名称、例えば「TEST」が入力され（ステップ21）、続いて、レイヤー番号0, 1, 2, 3・・・が指定される（ステップ22）。例えば、前述のように、新規の設計対象が共通部分であればレイヤー番号0が指定され、設計対象が個別部分1, 2, 3・・・であればレイヤー番号1, 2, 3・・・が指定される。続いて、各レイヤーで使用する表示色、表示線種が指定される（ステップ23）。

【0010】以下のステップ24乃至27においては、従来と同様の回路設計が行われる。すなわち、配線の場合について例示するように、配線番号、この配線の始

点、中継点、終点のそれぞれが(X, Y)座標によって指定される。(ステップ24, 25, 26, 27)。設計対象の共通部分や個別部分に含まれる全ての配線について上記一連の配線処理が反復され、最後の配線についての処理の終了がステップ28で判定されると、新規設計処理は終了する。実際には、上記配線処理と並行して、論理素子の配列と結線なども行われる。

【0011】次に、コンピュータ1によるプロットアウト時の処理内容を図3のフローチャートを参照して説明する。指定されたプロットアウトの実行が開始されると、まず、プロットアウトしようとする回路の共通部分の名称、この例では「TEST」が入力され(ステップ31)、続いて、レイヤー番号、例えばレイヤー1を指定する番号「1」が入力される(ステップ32)。次に、この回路の名称、例えば、「TEST-A」が入力される(ステップ33)。

【0012】最後に実行コマンドが入力される(ステップ34)。コンピュータ1は、メモリ2に格納中の共通部分と選択された個別部分1の構成情報とを読出し、両者を併合して可視化することにより回路Aの回路図を作成し、これをプロッタ5にプロットアウトする。コンピュータ1は、プロッタ5の動作の終了を判定すると(ステップ35)、全ての処理が終了する。

【0013】

【発明の効果】以上詳細に説明したように、本発明のCADシステムは、半導体集積回路の物理的な構造における多層配線概念と同様に、設計の段階においてもメモリ内に仮想的な層(レイヤー)を想定し、共通部分はレイヤー0上に、個別部分はそれぞれレイヤー1, 2, 3

・・・上にという具合に、分解して作成し管理する構成であるから、共通部分を重複して作成し管理する必要がなくなり、労力とメモリ容量が節減される。

【0014】また、本発明のCADシステムは、共通部分と個別部分とを分解して作成し、管理する構成であるから、マスキレイアウトなどと照合すべき対応の回路の選択に誤りが生じにくくなると共に、個別の回路部分を変更する際に確定した共通の回路部分を誤って変更してしまうことによるデータの破壊も生じにくくなる。特に、レイヤーごとに異なる表示色、線種を使用すれば、そのような誤りの防止を一層有効に行える。

【図面の簡単な説明】

【図1】本発明のCADシステムで作成され管理される共通部分と、複数の個別部分とこれらを組合せた複数の回路との関係を説明するための概念図である。

【図2】本発明のCADシステムによって半導体集積回路を新規に設計する手順を説明するためのフローチャートである。

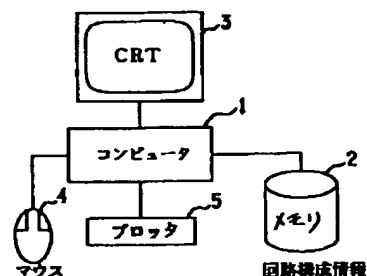
【図3】本発明のCADシステムによって作成され管理されている回路をプロットアウトする手順を説明するためのフローチャートである。

【図4】本発明の一実施例のCADシステムの構成を示すブロック図である。

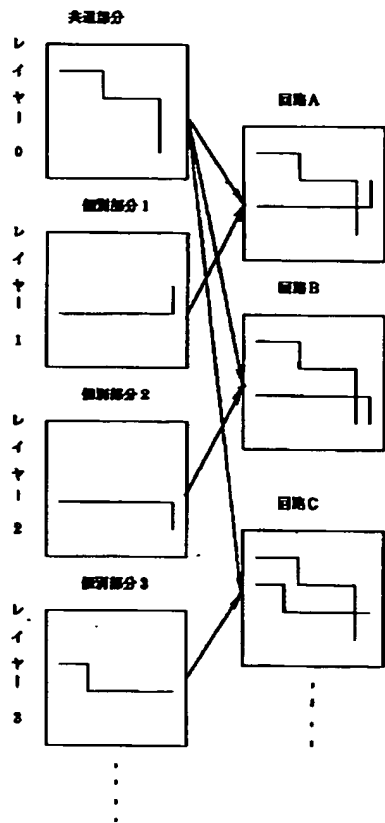
【符号の説明】

- 1 コンピュータ
- 2 メモリ
- 3 CRT
- 4 マウス
- 5 プロッタ

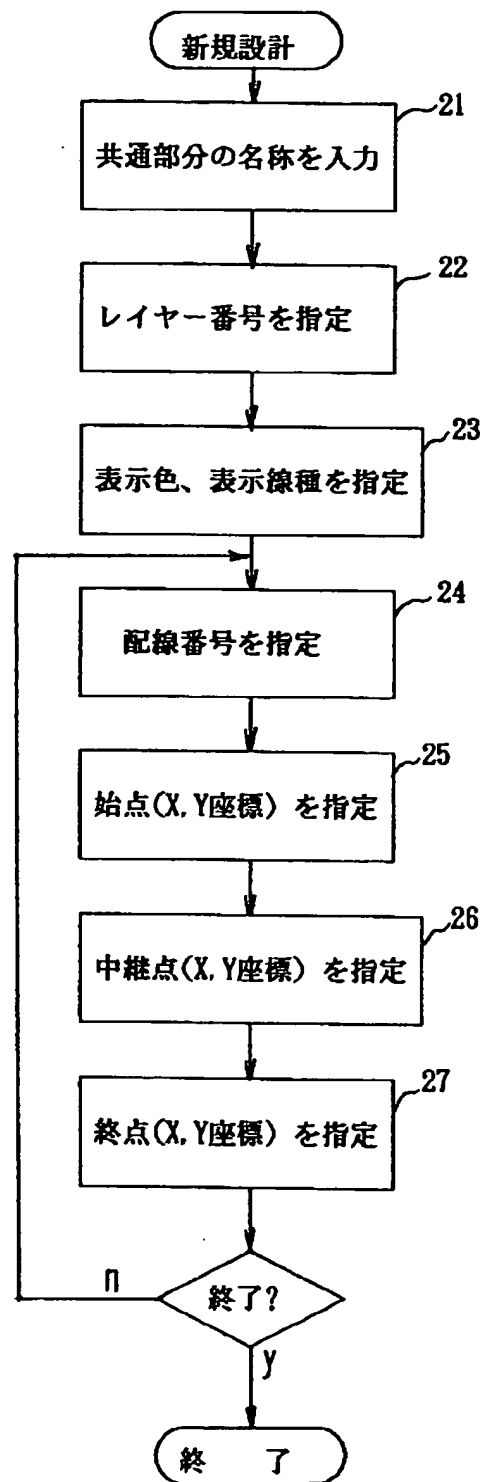
【図4】



【図1】



【図2】



【図3】

